

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-189990  
(43)Date of publication of application : 30.07.1993

(51)Int.Cl.

G11C 19/00  
H04N 5/907

(21)Application number : 04-004939

(71)Applicant : FUJITSU LTD

(22)Date of filing : 14.01.1992

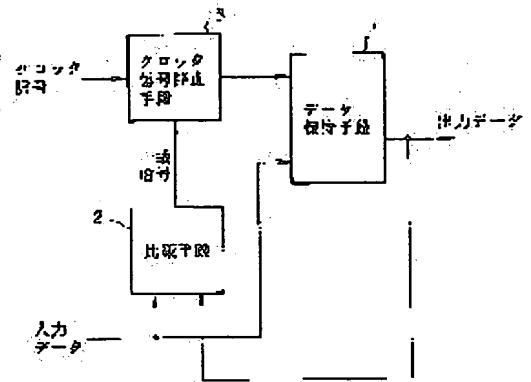
(72)Inventor : SENOO HARUMI  
OTA MITSUHIKO

## (54) DATA HOLDING DEVICE

### (57)Abstract:

**PURPOSE:** To reduce power consumption and a calorific value without impairing a function by comparing held data outputted from a data holding means with input data, and stopping the input of a clock signal to the data holding means when coincidence is obtained between them.

**CONSTITUTION:** The data holding means 1 holds the input data by fetching synchronizing with the clock signal inputted via a clock signal stopping means 3, and also, outputs the held data. A comparison means 2 compares the held data outputted from the means 1 with the input data, and outputs a coincidence signal to the means 3 when they are equal, and the means 3 stops the input of the clock signal to the means 1. In other words, no input data is fetched newly and held when the input data remains unchanged. Thereby, it is possible to reduce the power consumption and the calorific value according to that without impairing the function.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-189990

(43)公開日 平成5年(1993)7月30日

(51)Int.Cl.<sup>5</sup>

G 1 1 C 19/00

H 0 4 N 5/907

識別記号

K 8724-5L

B 7916-5C

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数4(全12頁)

(21)出願番号

特願平4-4939

(22)出願日

平成4年(1992)1月14日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 瀬野尾 晴美

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 太田 光彦

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 青木 朗 (外3名)

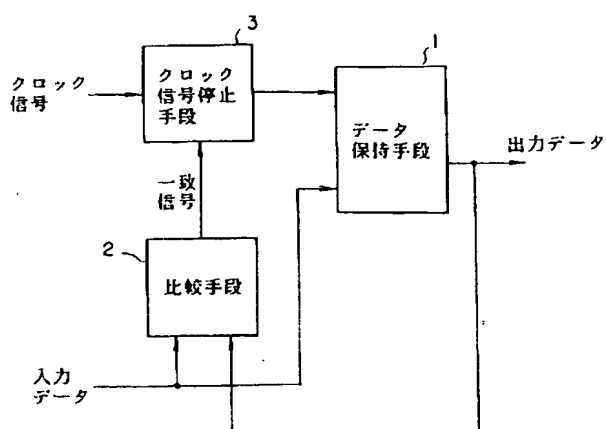
(54)【発明の名称】 データ保持装置

(57)【要約】

【目的】 本発明はデータ保持装置に関し、低消費電力で発熱の少ないデータ保持装置の実現を目的とする。

【構成】 クロック信号に同期して入力データを取り込んで保持すると共に保持しているデータを出力するデータ保持手段1と、データ保持手段1より出力される保持データと入力データとを比較し同一である時に一致信号を出力する比較手段2と、一致信号が出力された時にデータ保持手段1へのクロック信号の入力を停止するクロック信号停止手段3とを備えるように構成する。

本発明のデータ保持装置の基本構成



## 【特許請求の範囲】

【請求項1】 クロック信号に同期して入力データを取り込んで保持すると共に、保持しているデータを出力するデータ保持手段(1)を備えるデータ保持装置において、

前記データ保持手段(1)より出力される前記保持データと前記入力データとを比較し、同一である時に一致信号を出力する比較手段(2)と、

前記一致信号が出力された時に前記データ保持手段

(1)への前記クロック信号の入力を停止するクロック信号停止手段(3)とを備えることを特徴とするデータ保持装置。

【請求項2】 クロック信号に同期して入力データを取り込んで保持すると共に、保持しているデータを出力する複数のデータ保持手段(1)を前段の出力データが後段の入力データとなるように多段に接続し、前記データ保持手段(1)へそれぞれ入力される前記クロック信号を共通化したシフトレジスタ手段を備えるデータ保持装置において、

前記複数のデータ保持手段(1)のすべての出力データと前記初段のデータ保持手段への入力データを比較し、すべての前記出力データと前記初段の入力データが同一である時に一致信号を出力するシフトデータ比較手段(21)と、

前記一致信号が出力された時に前記複数のデータ保持手段(1)への前記クロック信号の入力を停止するクロック信号停止手段(3)とを備えることを特徴とするデータ保持装置。

【請求項3】 クロック信号に同期して入力データを取り込んで保持すると共に、保持しているデータを出力する複数のデータ保持手段(1)で構成され、該複数のデータ保持手段(1)へ入力される前記クロック信号を共通化し、入力される前記データ保持手段(1)の個数と同数の複数データを前記クロック信号に同期して取り込んで保持すると共に、保持している前記複数データを並列に出力するラッチ手段を備えるデータ保持装置において、

前記複数のデータ保持手段(1)のすべての出力データと入力データがそれぞれ同一である時に一致信号を出力する多ビットラッチ比較手段(22)と、

前記一致信号が出力された時に前記複数のデータ保持手段(1)への前記クロック信号の入力を停止するクロック信号停止手段(3)とを備えることを特徴とするデータ保持装置。

【請求項4】 外部よりの信号に応じて前記データ保持手段(1)への前記クロック信号の入力を停止する第二クロック信号停止手段を備えることを特徴とする請求項1から3のいずれかに記載のデータ保持装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、クロック信号に同期して入力データを取り込んで次のクロック信号までの間取り込んだデータを保持するデータ保持装置に関し、特にビデオ信号のような同じデータが連続することが多い信号の処理回路で使用すると消費電力の低減が図れるデータ保持装置に関する。

## 【0002】

【従来の技術】クロック信号に同期して入力データを取り込み次のクロック信号までの間取り込んだデータを保持するデータ保持装置がデジタル処理回路等で広く利用されている。通常このようなデータ保持装置はレジスタと呼ばれ、各種フリップフロップ回路等により実現される。デジタル処理回路ではレジスタを多段に接続したシフトレジスタという形で利用されることが多く、全体としてレジスタの個数が膨大になることがある。そのような場合、回路全体では大きな消費電力になり、発熱等が問題となる。そのためデータ保持装置の消費電力の低減が求められている。

【0003】データ保持装置の消費電力の低減を図るには、データ保持装置自体の低消費電力化はもちろんであるが、データ保持装置の使用方法を工夫することにより消費電力を低減する試みも行われている。データ保持装置を実現するための回路は各種存在し、そのための素子も各種ある。例えばTTL、CMOS等の素子によるD型フリップフロップ等であるが、一般的にデータ保持装置の電力消費の大きな要因としては、保持するデータの変化に伴う動作とクロック信号の入力に伴う動作がある。そのためクロック信号の供給を停止することにより、保持データの変化及びクロック信号入力に伴う動作の二つによる電力消費をなくすようにする。また入力データを一方に固定することにより保持データの変化に伴う電力消費を発生しないようにすることもできるが、この場合はクロック信号の入力に伴う動作に起因する電力消費は発生する。

【0004】動作状態にあるデータ保持装置でどのようにすればクロック信号の供給停止や入力データの固定が可能になるかであるが、これについては以下のようなことが提案されている。特開昭60-035789号公報では、液晶駆動装置において、表示をしない時にはクロック信号を停止することにより低消費電力化を図ることが示されている。

【0005】特開昭61-65623号公報では、セレクト回路で非選択のCMOSバッファの入力を固定することが示されている。特開平2-113728号公報では、高品位テレビジョンの音声データ処理回路において、音声データが存在する期間以外は、処理回路へのクロック信号の停止又はデータの一方への固定による消費電力低減が示されている。

【0006】上記の従来技術はデータ保持装置に限られるものではないが、対象となる回路にはデータ保持装置

が含まれていると考えられ、データ保持装置での消費電力も同様に低減される。

【0007】

【発明が解決しようとする課題】上記のようにデータ保持装置を含む部分が所定の状態になった時に、データ保持装置へのクロック信号の供給停止及び入力データの固定を行うことにより消費電力の低減が図れる。しかしい

ずれもデータ保持装置を含む部分が動作する必要のない時だけであり、その部分が動作中であれば何ら対策が施されていないのが現状である。

【0008】本発明は、同一のデータが連続することの多いビデオ信号の処理等に使用されるデータ保持装置は、入力データが固定されることが多く、保持データの変化に伴う電力消費は小さくなるが、その場合でもクロック信号入力に伴う消費電力はあいかわらず存在していることに着目し、この分の消費電力を低減することにより、データ保持装置の一層の低消費電力化を図ることを目的とする。

【0009】

【課題を解決するための手段】図1は本発明のデータ保持装置の基本構成を示す図である。なお図においては、同一の機能部分には同一の番号を付して表わすものとする。図において、1はデータ保持手段であり、クロック信号に同期して入力データを取り込み、そのデータを次のクロック信号まで保持する。それと共に保持しているデータを出力する。2は比較手段であり、データ保持手段1より出力される保持データとデータ保持手段1への入力データとを比較し、同一である時に一致信号を出力する。3はクロック信号停止手段であり、一致信号が出力された時にデータ保持手段1へのクロック信号の入力を停止する。

【0010】図2は請求項2に記載のシフトレジスタを有する本発明のデータ保持装置の基本構成を示す図である。図において、1はデータ保持手段であり、クロック信号に同期して入力データを取り込み、そのデータを次のクロック信号まで保持する。それと共に保持しているデータを出力する。ここでは複数個のこのデータ保持手段1を、前段の出力データが後段の入力データになるように接続し、各データ保持手段1へ入力されるクロック信号を共通化してシフトレジスタ手段を形成する。従って入力データは初段のデータ保持手段1に入力され、出力データは最終段のデータ保持手段1から出力される。21はシフトデータ比較手段であり、複数個のデータ保持手段1のすべての出力データと初段のデータ保持手段1への入力データを比較し、すべての出力データとこの入力データが同一である時に一致信号を出力する。3はクロック信号停止手段であり、一致信号が出力された時に複数個のデータ保持手段1へのクロック信号の入力を停止する。

【0011】図3は請求項3に記載の多ビットラッチを

有する本発明のデータ保持装置の基本構成を示す図である。図において、1は上記のデータ保持手段であり、複数のデータ保持手段1でラッチ手段を形成する。各データ保持手段1へ入力されるクロック信号は共通化されている。各データ保持手段1にはそれぞれデータが入力され、クロック信号に同期してこのデータを取り込み、次のクロック信号まで保持すると共に保持しているデータを並列に出力する。従って入力データ数はデータ保持手段1の数に等しく、出力データ数も同じである。22は多ビットラッチ比較手段であり、複数のデータ保持手段1のすべての出力データと入力データがそれぞれ同一である時に一致信号を出力する。3はクロック信号停止手段である。

【0012】

【作用】前述のようにデータ保持装置の消費電力は、主として保持データの変化に伴う分とクロック信号の入力に伴う分がある。データ保持装置の動作中に入力データが一方に固定された場合、保持データの変化に伴う分の消費電力は低減されるが、クロック信号の入力に伴う分の消費電力はそのままであった。しかし入力データが変化しない時には、新たに入力データを取り込んで新しいデータを保持する必要はなく、クロック信号を供給しなくても構わない。もしクロック信号の供給を行わなければ、それに伴う電力消費は低減される。そこで比較手段2でデータ保持手段1の出力する保持データとデータ保持手段1へ入力する入力データとを比較する。この二つのデータが同一であれば、クロック信号を供給する必要はないから、クロック信号停止手段3が一致信号に応じてデータ保持手段1へのクロック信号の入力を停止する。これにより入力データと出力データが同一であればクロック信号が供給されず、データ保持手段1でのクロック信号入力に伴う電力消費が低減される。しかもデータ保持装置としての機能は何ら損なわれない。

【0013】データ保持手段1を図2に示すように接続してシフトレジスタ手段を形成する場合、各データ保持手段1を図1に示すようなデータ保持装置にすることで消費電力の低減を図ることも可能である。しかしそれでは各段に比較手段2とクロック信号停止手段3を設けることになる。そこでシフトレジスタ手段内のすべてのデータ保持手段1に対して一組のシフトデータ比較手段21とクロック信号停止手段3を設ける。この時クロック信号は共通化されているためクロック信号の供給を停止できるのは、各データ保持手段1に保持されているデータと初段への入力データがすべて同一の時である。従ってシフトデータ比較手段21はこれらのデータがすべて同一の時にのみ一致信号を出力し、クロック信号停止手段3はこの一致信号が出力された時に各データ保持手段1へのクロック信号の供給を停止する。

【0014】図3に示すように複数のデータ保持手段1を用いて多ビットラッチ手段を形成する場合も、各デー

タ保持手段 1 に図 1 で示すような比較手段 2 とクロック信号停止手段 3 を設けて消費電力の低減を図ることが可能である。しかし複数のデータ保持手段 1 に対して一組の多ビットラッチ手段 2 2 と共通化したクロック信号のクロック信号停止手段 3 を設けることで個別に比較手段 2 とクロック信号停止手段 3 を設ける必要がなくなる。この時共通化したクロック信号の供給を停止できるのは、すべてのデータ保持手段 1 の入力データと出力データがそれぞれ同一の時であり、多ビットラッチ比較手段 2 2 はこの時一致信号を出力する。

#### 【0015】

【実施例】図 4 に本発明の第一実施例の回路を示す。本実施例は、一個の入力データを取り込んで保持するデータ保持装置に本発明を適用したものである。図 4 において、11 はデータ保持手段であり、以下レジスタと称する。201 は排他的論理和（以下 EX-OR と称する。）ゲートであり、31 はアンドゲートである。EX-OR ゲート 201 には入力データとレジスタ 11 の出力データが入力され、両方が一致した時に「低」（L 又は 0）信号が出力される。すなわち EX-OR ゲート 201 が図 1 の比較手段 2 に相当し、その出力が L 状態である時が一致信号である。アンドゲート 31 にはクロック信号と一致信号が入力される。従って一致信号が出力されている時、すなわち EX-OR ゲート 201 の出力が L 状態の時にはアンドゲート 31 からはクロック信号は出力されない。アンドゲート 31 の出力はレジスタ 11 にクロック信号として入力される。入力データはレジスタ 11 にデータとして入力される。

【0016】レジスタ 11 は、クロック信号に同期して入力データを取り込み、次のクロック信号が入力されるまでそのデータを保持し、更に保持しているデータを出力するものであれば、どのようなものでも有効である。もちろん保持データが固定であってもクロック信号に伴う消費電力が、図 4 に示すアンドゲート 31 と EX-OR ゲート 201 の消費電力より小さくなければ、本発明は有効でない。

【0017】本実施例では、レジスタ 11 として図 5 に示すような回路で形成されるレジスタを使用している。図 5 において、D はデータ入力を、CK はクロック信号入力を、Q は保持データの出力を、XQ は保持データの反転出力を示す。111、112、115、116、119、120、121、122 はインバータであり、113 と 117 はスイッチである。実際にはこれらはすべてトランジスタ又は FET の集積回路で実現される。

【0018】クロック信号はスイッチ 113 と 117 に印加されるが、図示の通り印加方向が逆であり、スイッチ 113 と 117 は逆の動作を行う。インバータ 115 と 116、及びインバータ 119 と 120 は正帰還による前後二つの双安定回路 114 と 118 を形成する。入力データはインバータ 111 を介してスイッチ 113 に

入り、その出力は前双安定回路 114 に入力される。前双安定回路 114 の出力はスイッチ 117 を介してもう一つの後双安定回路 118 に入力される。後双安定回路 118 の出力はインバータ 121 を介して保持データとして出力され、後双安定回路 118 の入力インバータ 122 を介して反転出力になる。

【0019】図 5 のレジスタ回路の動作を図 6 を参照して説明する。クロック信号 CK としてデューティ比 50 % の方形波が入力されたとする。スイッチ 113 をスイッチ A で示し、スイッチ 117 をスイッチ B で示すとする。スイッチ A はクロック信号 CK が「高」（H）状態の時閉じ、スイッチ B はクロック信号 CK が L 状態の時閉じるとする。

【0020】クロック信号 CK が H の時、入力データはインバータ 111 で反転された後、スイッチ 113 が閉じているので前双安定回路 114 に入力する。これにより前双安定回路 114 はそれまでの状態にかかわらず、入力データが前双安定回路 114 の出力に現れる状態になる。この時スイッチ 117 は開放されているため、それから先には影響しない。

【0021】次にクロック信号 CK が L になるとする。スイッチ 113 は開放されるため前双安定回路 114 はそのままの状態を維持する。それと同時にスイッチ 117 が閉じるため、前双安定回路 114 に保持されたデータがスイッチ 117 を通して後双安定回路 118 に入力される。これにより後双安定回路 118 はそれまでの状態にかかわらず後双安定回路 118 の出力が、前双安定回路 114 の出力の反転したデータである状態になる。これにより出力 Q からはインバータ 121 を介して前双安定回路 114 の出力に等しいデータ、すなわち後双安定回路 118 の出力の反対のデータが出力される。反転出力 XQ からは出力 Q と逆の出力が出る。クロック信号 CK がこのまま L であれば、このままの状態が保持され、そのデータが出力される。

【0022】再びクロック信号 CK が H になれば、スイッチ 117 が開放されるため後双安定回路 118 はそのままの状態を維持し、前双安定回路 114 は入力データに応じてその状態が定められる。以上のように図 5 の回路では、図 6 に示すように、クロック信号の立ち下がりに同期して出力データが変化することがわかる。

【0023】再び図 4 の回路に戻って、その動作を図 7 を参照して説明する。レジスタ 11 は図 5 に示したものである。入力データはクロック信号の立ち下がりに同期して変化したとする。初めの部分では入力データは H の状態が続いており、それに従って出力データも H の状態が続く。従って EX-OR ゲート 201 の出力は L であり、一致信号が出力される。これによりアンドゲート 31 からはクロック信号が出力されず、レジスタ 11 へのクロック信号の供給は停止される。

【0024】次に a の時点で入力データが L に変化す



る。この時はまだ出力データはHのままであるからEX-ORゲートの出力はHに変化する。これによりアンドゲート31からはクロック信号が出力される状態になり、次のクロック信号のHへの変化はレジスタ11にされ、Lである入力データを取り込む。次にクロック信号がLに変化するbの時点で入力データは再びHに変化するが、出力データは前に取り込まれたLのデータになる。これによりEX-ORゲート201の出力はデータが異なるためHのままであり、アンドゲート31からクロック信号が供給され、Hの入力データを取り込む。次のクロックサイクルでは入力データが変化しないため、入力データと出力データが共にHになり、EX-ORゲート201の出力は再びLになりクロック信号のレジスタ11への供給は停止される。

【0025】入力データが図7に示すように変化するならば、クロック信号に比べて、レジスタ11にされるクロック信号ははるかに少なく、それに伴う電力消費も低減される。ビデオ信号等のデジタル処理回路では、データを遅延させた上で演算する処理がよく行われる。そのためデジタルデータをシフトレジスタで所定量だけ遅延させる。図8はそのようなデジタル回路の例である。図において、131から146がレジスタで2段、3段、及び5段のシフトレジスタを2個形成しており、前段の出力データが後段の入力データとなるように接続されている。そして各段の間には加算回路147から150が設けられ、所定量だけ前のデータとの加算が行われる。この図8のデジタル処理回路に本発明を適用する場合、各レジスタ毎に図4で示すEX-ORゲートとアンドゲートを付加して消費電力の低減を図ることができる。しかしそれとは別に所定段数毎にまとめて、その中のレジスタへのクロック信号の入力を停止させることでゲート数の低減が図れる。図8のデジタル処理回路にこのような形で本発明を適用した第二実施例の構成を図9に示す。

【0026】図9に示すように、本実施例では、2段、3段、5段のシフトレジスタ毎にまとめて、各シフトレジスタ毎にレジスタへのクロック信号を共通化して各クロック信号を制御する。レジスタ151と152で一番目の2段のシフトレジスタが形成される。レジスタ151には入力データが入り、レジスタ151の出力データがレジスタ152の入力データになる。171は3入力アンドゲートであり、入力データ、レジスタ151の出力データ、及びレジスタ152の出力データがすべてHの時にHをNORゲート173に出力する。172は3入力NORゲートであり、上記三つのデータがすべてLの時にHをNORゲート173に出力する。NORゲート173はいずれかの入力がHであればLをアンドゲート174に出力し、レジスタ151と152へのクロック信号の入力を停止する。これによりレジスタ151と152の出力データと入力データがすべて等しい時、すな

わちすべてL又はHの時にレジスタ151と152へのクロック信号の入力が停止される。

【0027】入力データとレジスタ152の反転出力は加算器167で加算されて、次のシフトレジスタへの入力データになる。以下詳しい説明は省略するが、図から明らかなように、レジスタ153、154及び155で3段のシフトレジスタが形成され、4入力ANDゲート175、4入力NORゲート176、及びNORゲート178でシフトレジスタ153、154及び155の出力データ、レジスタ153への入力データがすべて同じであるか検出され、同じであればANDゲート179でクロック信号の各レジスタへの入力を停止する。以下段数が5段になるため同一であることを判定するデータが増加するだけで基本的には同様の構成である。

【0028】第二実施例は、前段のレジスタの出力データが後段のレジスタの入力データになるように接続したシフトレジスタに本発明を適用したものであるが、複数のレジスタへ入力するクロック信号を共通化し、複数ビットの並列データをクロック信号に同期して取り込み保持する多ビットラッチと呼ばれるものがある。この場合も各レジスタを図4に示すような構成にすることができ、各レジスタへ入力されるクロック信号を共通化し、全体でクロック信号の停止を制御することが可能である。このような例を第三実施例として図10に示す。

【0029】この実施例は4ビットラッチであり、図示の通りレジスタ188から191に4ビットのデータが並列に入力され、共通のクロック信号によりラッチする。192から195はEX-ORゲートであり、レジスタ188から191の入力データと出力データがそれぞれ一致した時Lになる。NORゲート196はEX-ORゲート192から195の出力が入力され、すべての入力がLの時にLを出力する。197はANDゲートであり、クロック信号とNORゲート196の出力が入力され、NORゲート196の出力がLの時にクロック信号の出力を停止する。すなわち各レジスタの入力データと出力データがそれぞれ同一で、且つすべてのレジスタについてこれが成り立てばレジスタ188から191へのクロック信号の入力が停止される。

【0030】本発明のデータ保持装置は、同一のデータが連続する場合に特に効果がある。例えばビデオ信号のデジタル処理回路では、空や壁等の同じ背景の映像信号が連続することが多く、特に多値の階調信号の場合には上位ビットほど変化が少ない。そのためこのようなデータの処理回路ほど効果が顕著である。ビデオ信号のデジタル処理回路については従来技術の項で、帰線期間等の処理を必要としない期間はクロック信号の入力を停止することが提案されていることを述べた。本発明にこのような処理不要期間でのクロック信号の停止機能を加えればより一層の消費電力低減が可能になる。そこで本発明のデータ保持装置にこのようなクロック信号の停止

機能を付加した第四実施例を図 11 に示す。

【0031】図 11 の回路は、図 4 の回路にアンドゲート 301 を加え、それに EX-OR ゲート 201 の出力とイネーブル信号を入力し、その出力をアンドゲート 311 に入力させるようにしたものである。イネーブル信号を外部より印加できるようにし、処理不要期間はこのイネーブル信号を 1 にすることによりクロック信号のレジスタ 11 への入力を停止できる。アンドゲート 301 はクロック信号とイネーブル信号が入力するようにして、アンドゲート 311 を 3 入力アンドゲートにしてイネーブル信号を入力するようにしてもよい。

【0032】

【発明の効果】本発明により、低消費電力で発熱の少ないデータ記憶装置が実現できる。

【図面の簡単な説明】

【図 1】本発明のデータ保持装置の基本構成を示す図である。

【図 2】シフトレジスタを有する本発明のデータ保持装置の基本構成を示す図である。

【図 3】多ビットラッチを有する本発明のデータ保持装置の基本構成を示す図である。

【図 4】第一実施例の回路を示す図である。

【図 5】レジスタ回路の例を示す図である。

【図 6】図 5 のレジスタ回路の動作説明用タイミングチャートである。

【図 7】第一実施例の動作説明用タイミングチャートである。

【図 8】第二実施例で本発明を適用する前のデジタル処理回路の構成を示す図である。

【図 9】第二実施例の構成を示す図である。

【図 10】第三実施例の構成を示す図である。

【図 11】第四実施例の構成を示す図である。

【符号の説明】

1 …データ保持手段

2 …比較手段

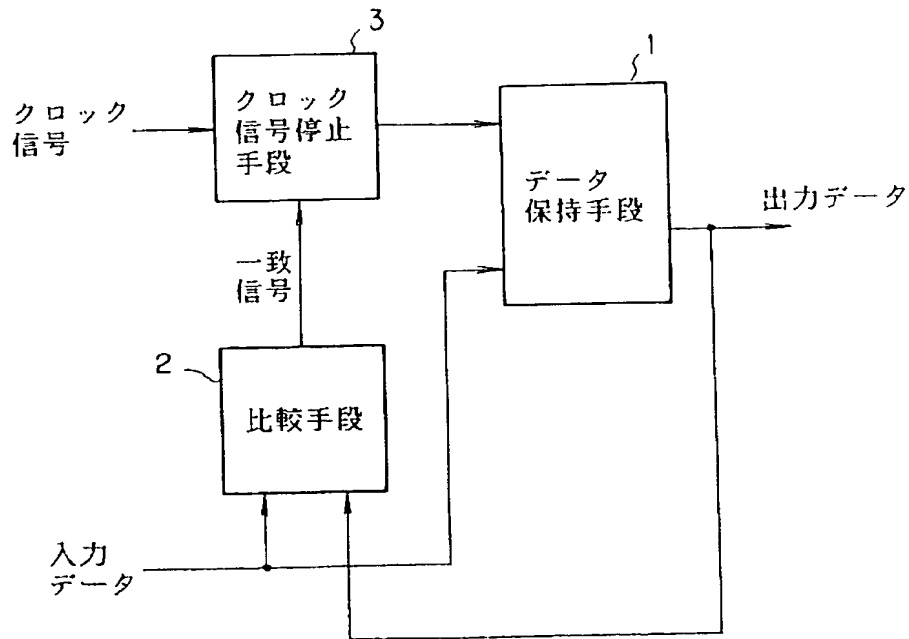
3 …クロック信号停止手段

21 …シフトデータ比較手段

22 …多ビットラッチ比較手段

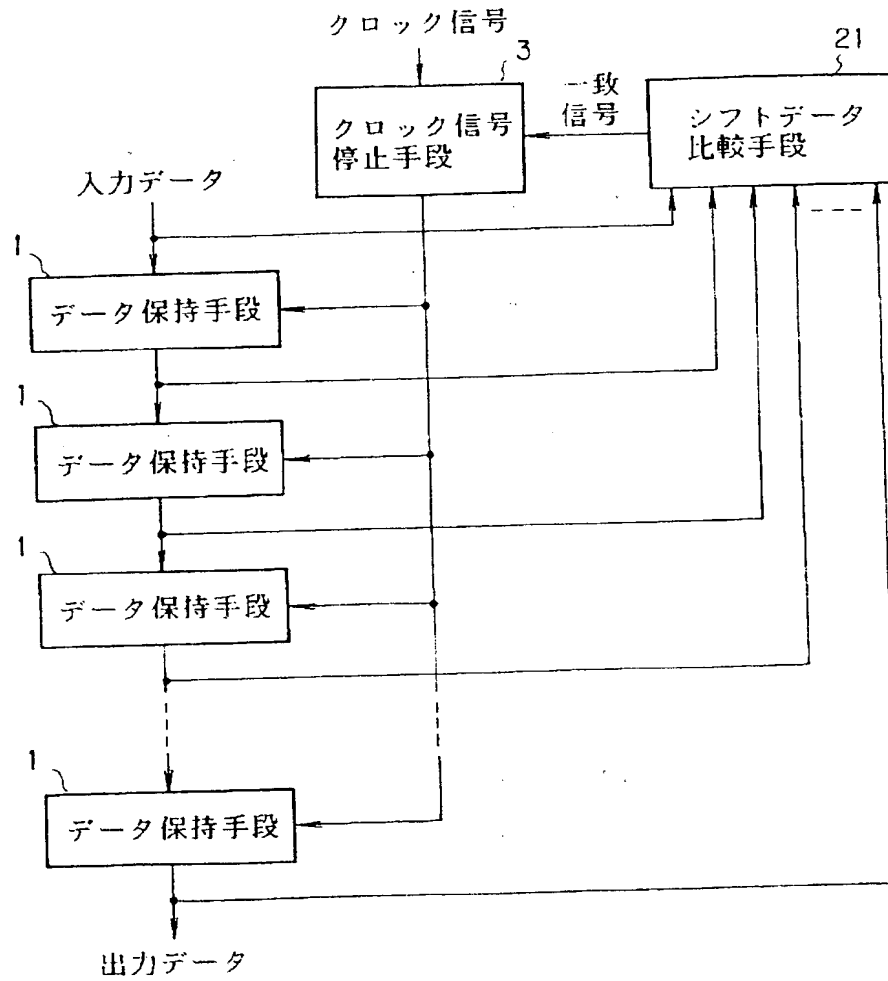
【図 1】

### 本発明のデータ保持装置の基本構成



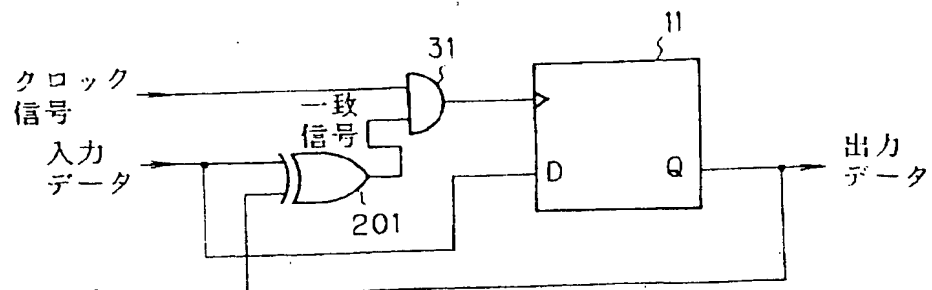
【図2】

シフトレジスタを有する本発明のデータ保持装置の基本構成



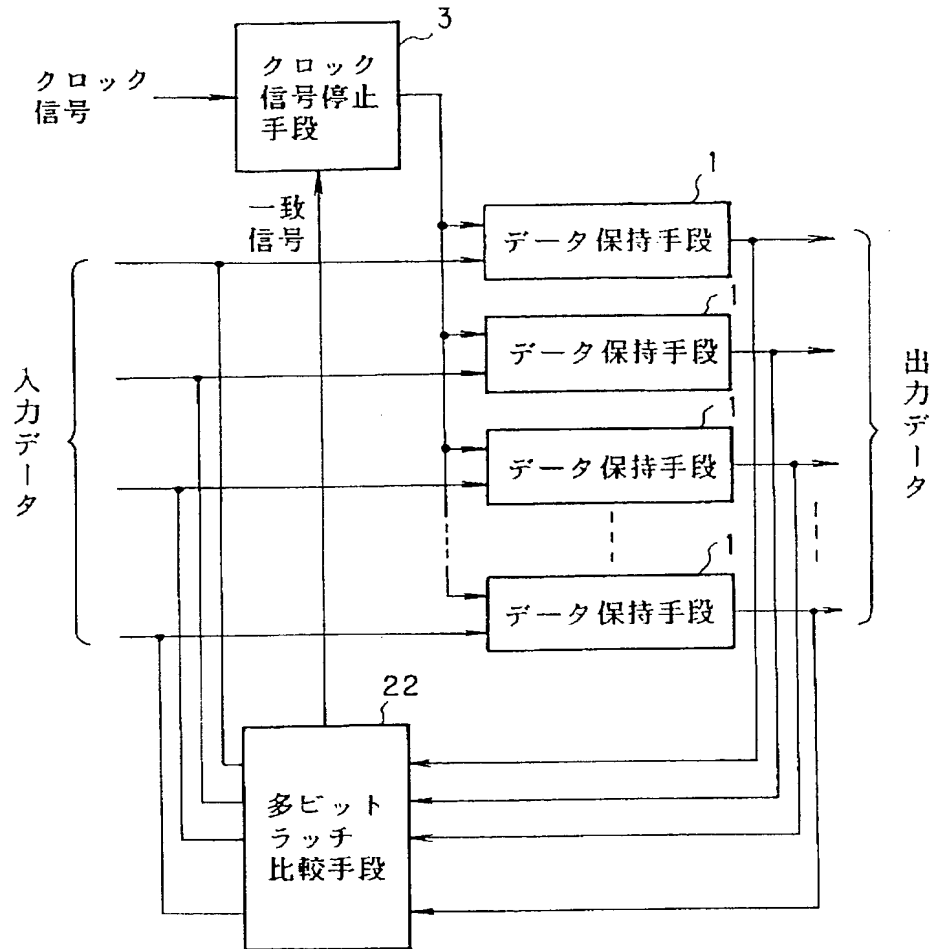
【図4】

第一実施例の回路



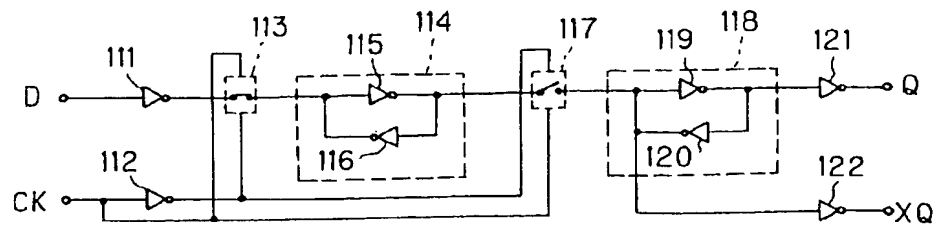
【図3】

多ビットラッチを有する本発明のデータ保持装置の基本構成



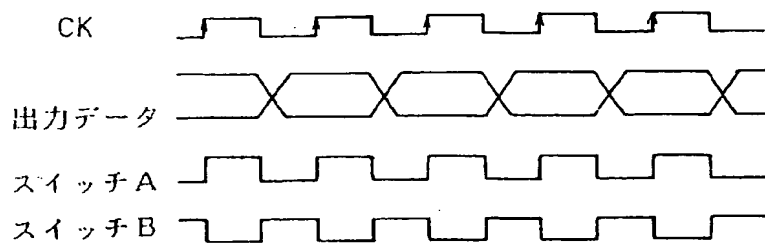
【図5】

レジスタ回路の例



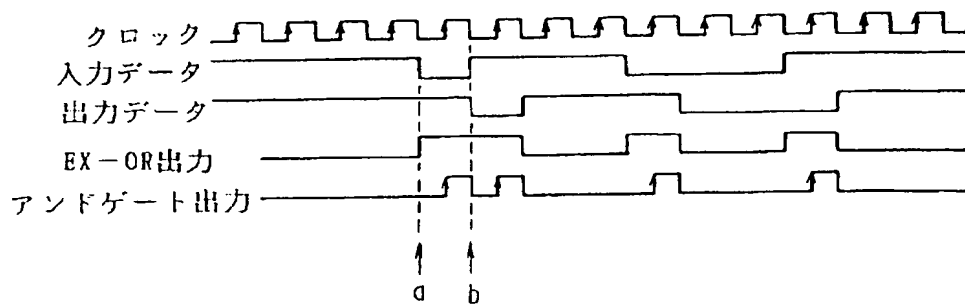
【図6】

図5のレジスタ回路の動作



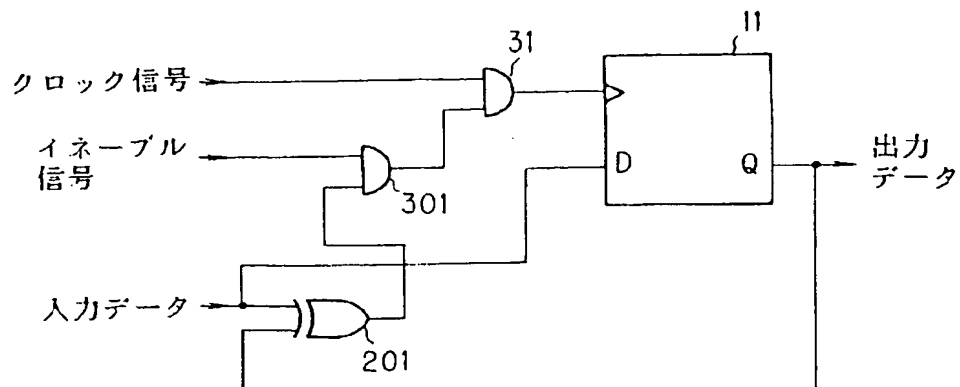
【図7】

第一実施例の動作



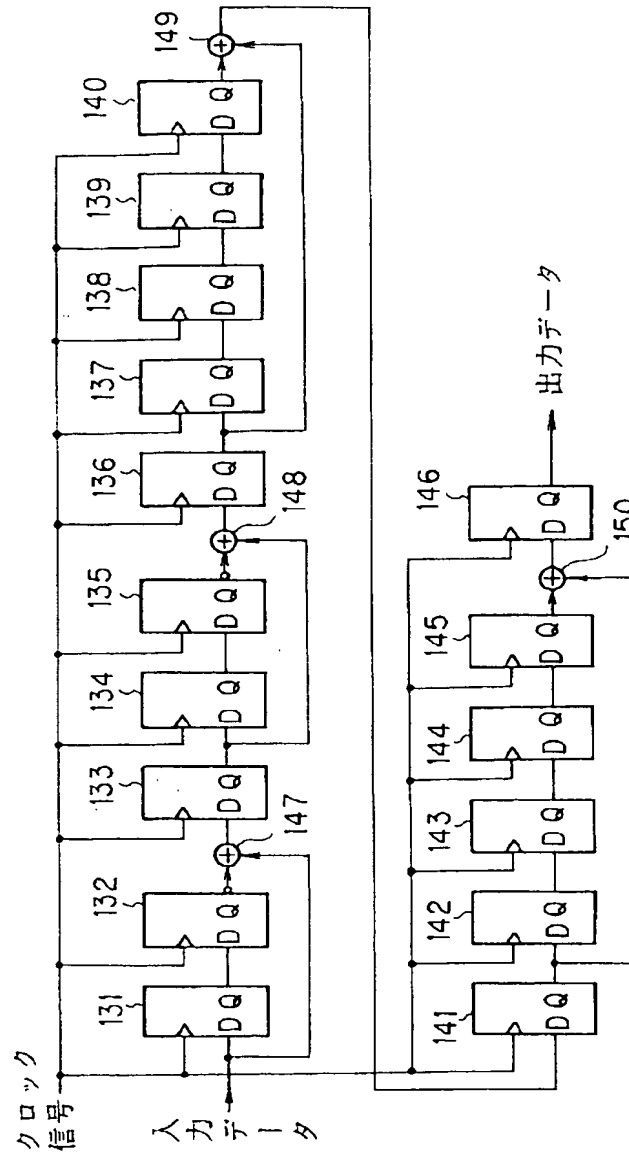
【図11】

第四実施例の構成



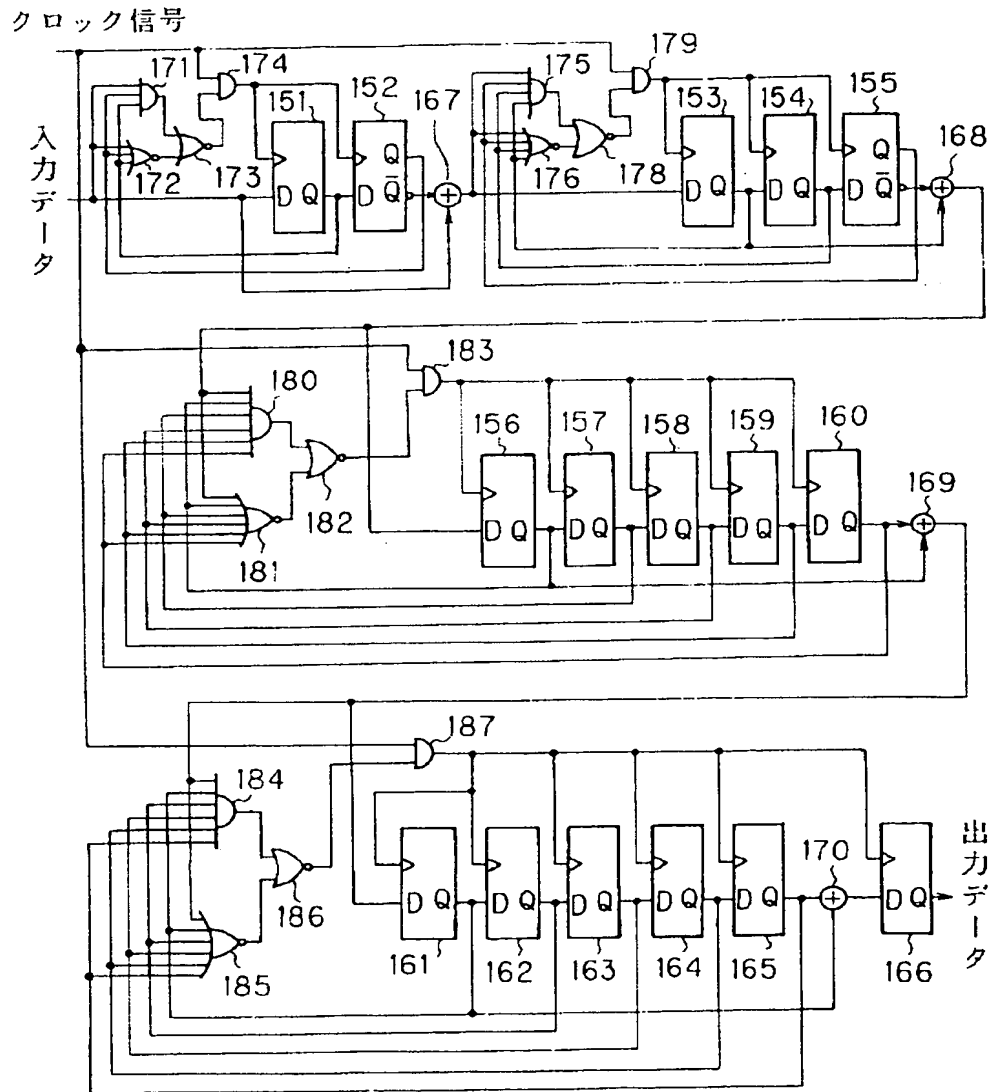
【図8】

第二実施例で本発明を適用する前のデジタル処理回路の構成



【図9】

## 第二実施例の構成



【図10】

## 第三実施例

